**Ejercicios Memorias Caché**

Nombre: Arellano Granados Angel Mariano código: 218123444

**1.- Una caché asociativa por conjuntos consta de 64 líneas divididas en conjuntos de 4 líneas.  La memoria principal contiene 4K bloques de 128 palabras cada uno. Muestre el formato de direcciones de memoria principal.**

4 x 1024 x 128 = 5242288 = 219 palabras

Tamaño de dirección de MP = 19 bits

128 = 2n

27 = 128

Dirección de palabra bloque de memoria = 7 bits

19 - 7 = 12

64 / 4 = 16 = 24

Conjuntos de la MC = 4 bits

12 – 4 = 8

Valor de etiqueta = 8 bits

|  |  |  |
| --- | --- | --- |
| 19 bits | | |
| Etiqueta (8bits) | Conjunto (4 bits) | Palabra (7bits) |
| 12 bits | |  |

**2.- Sea un computador de 32 bits con una memoria caché de 256 KB, líneas de 64 bytes y un tiempo de acceso de 5 ns. La caché es asociativa por conjuntos de 4 vías y se emplea la política de reemplazo LRU. Se pide:**

**a) Indique el número de líneas y de conjuntos de la memoria caché del enunciado.**

Tamaño de la caché = 256 KB = 218 bytes

cada línea tiene 26 bytes

número de líneas = 218 bytes / 26 bytes = 212 líneas = 4096 líneas

número de conjuntos = 4096 / 4 = 1024 conjuntos

**b) ¿Cuál es el tamaño de los bloques que se transfieren entre la memoria caché y la memoria principal?**

El tamaño del bloque que se transfiere entre memoria principal y caché coincide con el tamaño de la línea

64 bytes.

**c) Si el tiempo para transferir un bloque de memoria principal a caché es de 200 ns, indique la tasa de aciertos caché necesaria, de forma que el tiempo medio de acceso al sistema de memoria sea de 20 ns.**

tm = tc × Pa + (1-Pa) × tf

tc = 5 ns

tm = 20 ns

tf = 205 (200 + 5)

20 = 5 × Pa + (1-Pa) × 205

Pa = 185 / 200 = 0,92 = 92 %

**3.- Dadas las siguientes especificaciones para una memoria caché externa: asociativa por conjuntos de cuatro vías; tamaño de línea de dos palabras de 16 bits; capaz de albergar un total de 4K palabras de 16 bits de la memoria principal; utilizada con un   
procesador de 16 bits que emite direcciones de 24 bits. Diseñe la estructura de cache con toda la información pertinente, y muestre cómo interpreta las direcciones del procesador.**

Bloque de 2 palabras x 2 bytes por palabra (16 bits) = 4 bytes = 22 bytes

2 bits para el desplazamiento del bloque 1+1

4K palabras dobles = 8K palabra

Cada palabra tiene 16 bits (2 bytes)

8K palabras x 2 bytes por palabra = 16K bytes = 16384 bytes = 214 bytes

214 MC / 22 por línea = 212 Líneas o bloques

212 / 4 lineras por conjunto = 1024 = 210 conjuntos o entradas

10 bits para conjuntos

Etiqueta: 24 – (10 + 2) = 12 bits

Esquema de direcciones:

|  |  |  |  |
| --- | --- | --- | --- |
| 12 | 10 | 1 | 1 |
| Etiqueta | conjunto | word | byte |

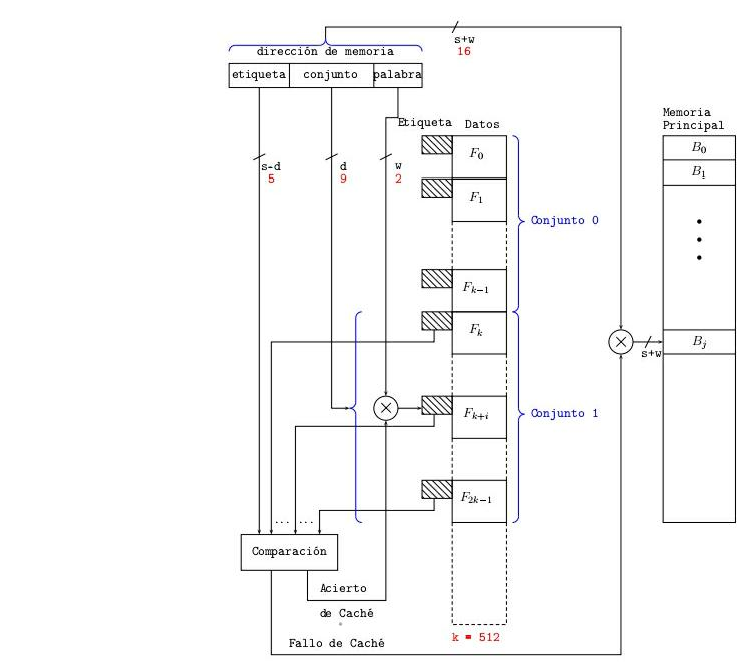
Esquema:

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0  .  .  .  .  1024 | ETI | Bloque |  | ETI | Bloque |  | ETI | Bloque |  | ETI | Bloque |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |

12 bits 4 bytes

↔ ↔

**4.- Una caché asociativa por conjuntos tiene un tamaño de bloque de 4 palabras de 16 bits y un tamaño de conjunto de 2. La caché puede contener un total de 4096 palabras de 16 bits. El tamaño de memoria principal que se puede transferir a la caché es de 64K×32 bits. Diseñar la estructura de la caché e indicar cómo son interpretadas las direcciones del procesador.**



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Etiqueta | Conjunto | Palabra |  | 5 | 9 | 2 |
| Bloque | | 14 | |
| Bus de Direcciones | | | 16 | | |

Memoria Principal = 64K = 216 = bus = 16 bits de ancho

Tamaño de bloque = 4 palabras = 22 =palabra = 2 bits

Bloque = 16 – 2 = 14 bits

Línea de cache = 4 palabras x 16 = 64 bits

64 líneas x 2 conjuntos = 128 bits

4096 palabras en la cache x 16 por palabra = 65536

65536 / 128 = 512 = 29 = conjunto = 9 bits

Etiqueta = 14 – 9 = 5 bits

**5.- Sea un computador dotado de una memoria caché con las siguientes características: A. Tamaño: 16KB con bloques de 32 bytes (8 palabras)**

**B. Tiempo de acceso: 10ns**

**Esta memoria está conectada a través de un bus de 32 bits a una memoria principal que tiene un tiempo de latencia de 40 ns y es capaz de transferir 8 bytes cada 10 ns. Calcular la tasa de aciertos que es necesaria para que el tiempo medio de acceso al sistema de memoria sea de 20 ns.**

El tamaño de la línea de caché = 32 bytes.

El tiempo de acceso a una línea = 10 ns + (32/8)\*10 ns = 80 ns.

Tavg. = h \* tc + (1-h) \* Tmp

20 = h \* 10 +(1-h) \* 80

h = 6/7 = 0.857 = tasa de acierto del 85,7%.

**6.- Considere un sistema de memoria con los siguientes parámetros:**

***T\_c* = 100 ns C\_c = 10^-4 dólares/bit**

***T\_m* = 1.200 ns C*\_n* = 10^-5 dólares/bit**

1. **¿Cuál es el coste de una memoria principal de 1 MB?**

1. **¿Cuál es el coste de una memoria principal de 1 MB utilizando la tecnología de la caché?**

**7.- Considere el siguiente código:**

**for (i = 0, i < 20; i + + )**

**for (j = 0, j < 10; j + + )**

**a [ i ] = a [ i ] \* j**

1. **Indique un ejemplo de localidad espacial en el código.**

Existe localidad espacial ya que se accede a los datos del vector “ a ” de manera ordenada a través de la variable “ i ” que inicia en 0 y termina en 19.

La localidad espacial generalmente se explota utilizando bloques de caché más grandes e incorporando mecanismos de captación previa en la lógica de control de caché.

1. **Indique un ejemplo de localidad temporal en el código.**

Existe localidad temporal en la variable “ j ” pues tras cada vuelta del primer ciclo j volverá a valen 0 e incrementará de 1 a 1 hasta llagar a 9, para otra vez regresar a 0.

La localidad temporal se explota manteniendo los valores de datos e instrucciones utilizados recientemente en la memoria caché y explotando una jerarquía de caché.

**8.- Considere una memoria asociativa de n palabras y 8 bits/palabra. Indique cuál de los siguientes valores de los registros de argumento (A) y máscara (K) proporcionan un 1 en todos aquellos bits del registro de marca (M) cuya celda de memoria contenga un número impar, y un 0 en caso contrario. (Se considera que el**

**9.- *Un sistema jerárquico de memoria tiene una memoria caché de 4K palabras, dividida en bloques de 128 palabras y con un tiempo de acceso de 15 nseg, y una memoria principal de 128K palabras con un tiempo de acceso de 150 nseg. Cuando se produce un fallo, primero se mueve el bloque completo a la memoria caché y después se lee el dato desde la caché. Si la tasa de acierto de la caché es del 95%, ¿cuál es el tiempo de acceso medio de este sistema?***

El tiempo medio de acceso al sistema viene dado por la siguiente expresión:

tm = tc × Pa + (1-Pa) × tf

tc = 15 nseg, Pa = 95%, tf = 150 + 15 = 165

tm = 15 x 0.95 + 0.05 x 165

tm = 22.5 nseg

***10.- Un computador tiene una unidad de memoria de 2M (2^21) palabras y una memoria caché de 1K (2^10) palabras con un tamaño de partición de 64 (2^6) palabras. Suponer que se hace una referencia a la dirección de memoria principal, expresada en binario, 000000001100100110000.***

***Si la memoria caché utiliza correspondencia directa;***

***• ¿En qué partición de la memoria caché sería posible encontrar esa dirección de memoria principal?***

***• ¿Qué etiqueta habría que buscar en esa partición para saber si esa dirección se encuentra en la memoria caché?***

|  |  |  |
| --- | --- | --- |
| 000 000 001 10 | 0100 | 110000 |